

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101028

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/3205

(21)Application number : 10-272640

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.09.1998

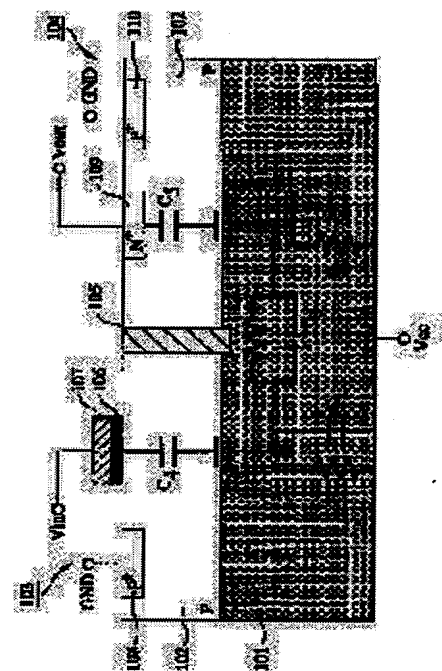
(72)Inventor : MATSUHASHI HIDEAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of crosstalks in a semiconductor device where an analog and digital mixed integrated circuit is formed.

SOLUTION: A p-type epitaxial film 102 is made on the surface of an n-type silicon substrate 101. A digital integrated circuit, in the region 103 of this epitaxial film 102, and an analog integrated circuit region, in the region 104, are made. A great part of the noise introduced from a gate electrode 107 is propagated to the region 104 through the substrate 101 from the region 103 of the epitaxial film 102 and reaches an n⁺⁺ diffused region 109, by completely separating these regions 103 and 104 with a trench structure of element isolating region 105. Here, a depletion layer is made at the interface (that is, the P-N junction face) between the n-type silicon substrate 101 and a p-type epitaxial film 102, so the parasitic capacity C8 and C9 in the vicinity of this interface becomes very small, therefore, the composite capacity of the noise propagation passage at large becomes small. Consequently, this semiconductor device can suppress the propagation of the noise and suppress the occurrence of crosstalk.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101028

(P2000-101028A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 27/04
21/822
21/3205

H 0 1 L 27/04
21/88

U 5 F 0 3 3
Z 5 F 0 3 8

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-272640

(22) 出願日 平成10年9月28日 (1998.9.28)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100085419

弁理士 大垣 孝

Fターム (参考) 5F033 BA04 CA04 CA07 FA01

5F038 AC06 AR03 AR27 BH10 BH19

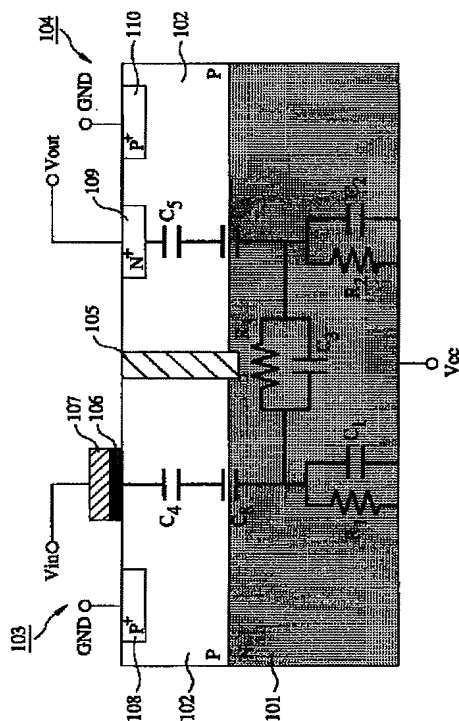
CA05 CD13 DF12 EZ06 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 アナログ・デジタル混載集積回路を形成した半導体装置において、クロストークの発生を防止する。

【解決手段】 N型シリコン基板101の表面にP型エピタキシャル薄膜102を形成する。このエピタキシャル薄膜102の領域103にはデジタル集積回路を、領域104にはアナログ集積回路領域を、それぞれ形成する。これらの領域103、104を、トレンチ構造の素子分離膜105で完全に分離することにより、ゲート電極107から導入されたノイズの大部分は、エピタキシャル薄膜102の領域103から基板101を介して領域104に伝搬し、N⁺拡散領域109に達する。ここで、N型シリコン基板101とP型エピタキシャル薄膜102との界面（すなわちPN接合面）には、空乏層が形成されるので、この界面付近の寄生容量C₈、C₉は非常に小さくなり、このためノイズ伝搬経路全体の合成容量も小さくなる。したがって、ノイズの伝搬を抑え、クロストークの発生を抑制することができる。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の表面に形成された第 2 導電型の半導体薄膜と、
この半導体薄膜に設けられたデジタル集積回路領域およびアナログ集積回路領域と、
前記デジタル集積回路領域と前記アナログ集積回路領域との境界領域に、前記半導体薄膜の表面から前記半導体基板内部にわたって形成された、素子分離手段と、
を備えることを特徴とする半導体装置。

【請求項 2】 前記半導体基板と前記半導体薄膜との境界領域に生じる空乏層が広がるような電位を前記半導体基板に印可する手段をさらに備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記空乏層が前記アナログ集積回路領域に形成された素子に達しないように、前記電位が決定されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体薄膜がエピタキシャル成長膜であることを特徴とする請求項 1～3 のいずれかに記載の半導体装置。

【請求項 5】 前記素子分離手段が、トレンチ構造の素子分離膜であることを特徴とする請求項 1～4 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するものであり、特に、アナログ集積回路とデジタル集積回路とを混載した半導体装置に関するものである。

【0002】

【従来の技術】従来より、アナログ集積回路とデジタル集積回路とを混載した半導体装置（以下、AD混載LSIと記す）が知られている。このようなLSIは、例えば、マルチメディアシステムの構築においてシステム・オン・チップ化を進めるために使用される。AD混載LSIは、チップ数を削減して小電力化、小型化、経済化等を図る上で有効である一方で、デジタル集積回路で発生するノイズによってアナログ集積回路の特性が劣化しやすいという欠点を有している。特に、デジタル集積回路からのクロストークは、アナログ集積回路のSN比の増大やダイナミックレンジの制限の原因となる。

【0003】クロストークは、集積回路内の素子で発生したノイズが基板内を伝搬して他の素子に到達することによって発生する。この際、ノイズの伝搬効率は、基板の抵抗性分および容量成分に依存する。すなわち、クロストークを抑制するためには、基板の抵抗を高くし、静電容量を小さくすればよい。このため、絶縁基板を用いたAD混載LSIではクロストークの影響は少ないが、半導体基板を用いたAD混載LSIではクロストークを抑制するための設計技術が必要となる。

【0004】従来、AD混載LSIのクロストークを抑制する技術としては、例えば、以下の文献に記載された

ものが知られている。

【0005】A.Vibiani et al., IEDM Tech. Deg. (1995) p. 713

【0006】

【発明が解決しようとする課題】図 2 (A) は、シリコン基板を用いて作製したAD混載LSIの寄生容量を概念的に示す断面図である。

【0007】図 2 (A) に示したように、P型シリコン基板 201 には、ゲート酸化膜 202 およびゲート電極 203 を有するデジタル集積回路と、N⁺ 拡散層 204 を有するアナログ集積回路とが、形成されている。ここで、ゲート酸化膜 202 およびゲート電極 203 は例えばMOS (Metal Oxide Semiconductor) トランジスタの一部であり、N⁺ 拡散層 204 は例えばバイポーラトランジスタのソース或いはドレインである。このような構成では、ゲート電極 203 をノイズ導入源、N⁺ 拡散層 204 をノイズ検出源と考えることができる。

【0008】ノイズ導入源としてのゲート電極 203 と、基板 201 の裏面（すなわちグランド）との間には、寄生抵抗 R₁ および寄生容量 C₁ が発生する。また、ノイズ検出源としてのN⁺ 拡散層 204 と、基板 201 の裏面との間には、寄生抵抗 R₂ および寄生容量 C₂ が発生する。ここで、R₁ = R₂ , C₁ = C₂ となる。

【0009】ノイズ導入源（ゲート電極 203）とノイズ検出源（N⁺ 拡散層 204）との間には、寄生抵抗 R₃ および寄生容量 C₃ が発生する。

【0010】また、ゲート酸化膜 202 の近傍に形成される空乏層は容量 C₄ を有し、N⁺ 拡散層 204 とシリコン基板 201 とのPN接合に形成される空乏層は容量 C₅ を有する。なお、シリコン基板 201 の不純物濃度は通常 1×10¹⁸ cm⁻³ 程度なので、ゲート酸化膜 202 の近傍に形成される空乏層幅は通常 30 nm 程度となる。また、ウェル濃度は通常 1×10¹⁷ cm⁻³ 程度なので、PN接合面に形成される空乏層幅は通常 100 nm 程度となる。

【0011】図 2 (B) は、SOI (Silicon On Insulator) 基板を用いて作製したAD混載LSIの寄生容量を概念的に示す断面図であり、上述した文献の図 7 と同一である。

【0012】図 2 (B) に示したように、P型シリコン基板 211 には、厚さ 400 nm の埋め込み酸化膜 212 が形成されている。そして、この埋め込み酸化膜 212 には、P⁺ 拡散層 213、ゲート酸化膜 214 およびゲート電極 215 を有するデジタル集積回路と、N⁺ 拡散層 216 を有するアナログ集積回路とが、形成されている。ここで、P⁺ 拡散層 213、ゲート酸化膜 214 およびゲート電極 215 は例えばMOSトランジスタの一部であり、N⁺ 拡散層 216 は例えばバイポーラトランジスタのソース或いはドレインである。

3

【0013】このようなAD混載LSIでも、シリコン基板211内には、ノイズ導入源（ゲート電極215）と基板211の裏面との間の寄生抵抗 R_1 および寄生容量 C_1 、ノイズ検出源（ N^+ 拡散層216）と基板211の裏面との間の寄生抵抗 R_2 および寄生容量 C_2 、ノイズ導入源とノイズ検出源との間の寄生抵抗 R_3 および寄生容量 C_3 が、それぞれ発生する。これらの寄生抵抗、寄生容量の値は、それぞれ、図2（A）のAD混載LSIの場合と同様である。

【0014】また、埋め込み酸化膜212内には、 P^+ 拡散層213とシリコン基板211との間に寄生容量 C_6 が、 N^+ 拡散層216とシリコン基板211との間の寄生容量 C_7 が、それぞれ発生する。

【0015】ここで、埋め込み酸化膜212内に発生する寄生容量 C_6 、 C_7 の値は、図2（A）の場合の寄生容量 C_4 、 C_5 よりも小さくなる。したがって、SOI基板を用いてAD混載LSIを作製することにより、シリコン基板を用いた場合よりも、クロストークを低減することができる。

【0016】また、SOI基板を用いたAD混載LSIでは、 P^+ 拡散層213と N^+ 拡散層216との距離を長くすること、シリコン基板211の抵抗値を高くすること、 P^+ 拡散層213と N^+ 拡散層216との間にガードリングを挿入すること等によって、さらにクロストークを低減することが可能である。

【0017】しかしながら、AD混載LSIにSOI基板を使用する場合、このSOI基板が高価なために、製造コストが上昇してしまうという欠点があった。

【0018】これに対して、SOI基板としては安価なSIMOX (Separation by Implanted Oxygen) 基板を使用して製造コストを低減させることも可能である。しかし、SIMOX基板は、埋め込み酸化膜212の厚さの限界が400nm程度しかないため、寄生容量 C_6 、 C_7 の値を十分に小さくすることができず、したがって、クロストークの抑制にも限界がある。

【0019】このような理由から、クロストークを十分に抑えたAD混載LSIを安価に製造する技術が囑望されていた。

【0020】

【課題を解決するための手段】（1）この発明は、第1導電型の半導体基板の表面に形成された第2導電型の半導体薄膜と、半導体薄膜に設けられたデジタル集積回路領域およびアナログ集積回路領域と、デジタル集積回路領域とアナログ集積回路領域との境界領域に、半導体薄膜の表面から半導体基板内部にわたって形成された、素子分離手段とを備える。

【0021】このような構成によれば、半導体基板と半導体薄膜とがPN接合を形成するので、このPN接合面近傍に空乏層を発生させることができる。また、デジタル集積回路領域とアナログ集積回路領域とを素子分離膜

4

で完全に分離するので、デジタル集積回路領域で発生したノイズの大部分は、この空乏層を通過して半導体基板に伝搬した後、さらに空乏層を通過してアナログ集積回路領域に達する。ここで、この空乏層の寄生容量は、半導体基板および半導体薄膜内に形成される寄生容量と比較して、容量値が非常に小さい。したがって、この空乏層によって、ノイズ伝搬経路全体としての合成容量を非常に小さくすることができるので、ノイズの影響を抑えることが可能となる。

【0022】（2）かかる発明においては、半導体基板と半導体薄膜との境界領域に生じる空乏層が広がるような電位を半導体基板に印可する手段をさらに備えることが望ましい。

【0023】これにより、この界面付近で発生する空乏層を厚くして、寄生容量をさらに小さくすることができる。これにより、ノイズ伝搬経路全体としての合成容量をさらに小さくすることができるので、ノイズの影響はさらに抑制される。

【0024】

【発明の実施の形態】以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎないことを理解されたい。

【0025】図1は、この実施の形態に係る半導体装置としての、AD混載LSIの構成を概念的に示す断面図である。

【0026】図1に示したように、この実施の形態では、この発明の半導体基板として、高抵抗（例えば数百 Ω ）のN型シリコン基板101を使用する。このN型シリコン基板101は、電源ライン V_{cc} に接続される。

【0027】また、この実施の形態では、N型シリコン基板101の表面に、この発明の半導体薄膜として、高抵抗（例えば数百 Ω ）のP型エピタキシャル薄膜102を形成する。

【0028】そして、この半導体薄膜102には、デジタル集積回路領域103とアナログ集積回路領域104とが設けられる。

【0029】これらの領域103、104の境界領域には、トレンチ構造の素子分離膜105が形成される。この素子分離膜105は、P型エピタキシャル薄膜102の表面からN型シリコン基板101にわたって形成される。すなわち、この素子分離膜105によって、P型エピタキシャル薄膜102は、領域103と領域104とに完全に分離される。

【0030】デジタル集積回路領域103には、例えばMOSトランジスタ等が形成される。図1では、MOSトランジスタのゲート酸化膜106およびゲート電極107のみを示している。ゲート電極107には、信号電

位 V_{in} が供給される。また、このデジタル集積回路領域 103 は、 P^+ 拡散領域 108 を介して、グラウンドライン GND に接続されている。

【0031】一方、アナログ集積回路領域 104 には、例えばバイポーラトランジスタ等が形成される。図 1 では、バイポーラトランジスタのエミッタとしての N^+ 拡散領域 109 のみを示している。この N^+ 拡散領域 109 からは信号電位 V_{out} が取り出される。また、このアナログ集積回路領域 104 は、 P^+ 拡散領域 110 を介して、グラウンドライン GND に接続されている。

【0032】このような構成では、ゲート電極 107 をノイズ導入源、 N^+ 拡散層 109 をノイズ検出源と考えることができる。

【0033】図 1 に示した AD 混載 LSI では、従来の場合（図 2 (A)、(B) 参照）と同様、ノイズ導入源としてのゲート電極 107 と、基板 101 の裏面（すなわち V_{cc} ）との間には、寄生抵抗 R_1 および寄生容量 C_1 が発生する。また、ノイズ検出源としての N^+ 拡散層 109 と、基板 101 の裏面との間には、寄生抵抗 R_2 および寄生容量 C_2 が発生する。ここで、 $R_1 = R_2$, $C_1 = C_2$ である。

【0034】さらに、ノイズ導入源（ゲート電極 107）とノイズ検出源（ N^+ 拡散層 109）との間には、寄生抵抗 R_3 および寄生容量 C_3 が発生する。この実施の形態では、上述のように P 型エピタキシャル薄膜 102 の領域 103、104 が素子分離膜 105 によって完全に分離されているので、実質的には、かかる寄生抵抗 R_3 および寄生容量 C_3 は N 型シリコン基板 101 内のみ形成され、P 型エピタキシャル薄膜 102 内には形成されない。

$$C_0^{-1} = C_4^{-1} + C_8^{-1} + C_3^{-1} + C_9^{-1} + C_5^{-1} \dots (1)$$

ここで、N 型シリコン基板 101 および P 型エピタキシャル薄膜 102 を高濃度とすることにより、界面（PN 接合面）に形成される空乏層の厚さは、N 型シリコン基板 101 側、P 型エピタキシャル薄膜 102 側ともに、最大で $2 \mu m$ 程度となる。すなわち、この界面には、全体で厚さ $4 \mu m$ 程度の空乏層を形成することができる。この厚さは、シリコン酸化膜に換算すると $1 \mu m$ 程度に相当し、SIMOX の埋め込み酸化膜の厚さよりも大きくなる。

【0039】かかる空乏層の寄生容量 C_8 、 C_9 は、シリコンの寄生容量と比較して非常に小さい。このため、この実施の形態に係る AD 混載 LSI では、従来の場合と比較して、寄生容量の合成容量 C_0 （上式（1）参照）を非常に小さくすることができる。したがって、ノイズの伝搬を抑制し、クロストークを防止することが可能となる。

【0040】また、上述したように、この実施の形態では、N 型シリコン基板 101 に電源電位 V_{cc} を印可することとした。これにより、N 型シリコン基板 101 と P

【0035】これに加えて、ゲート酸化膜 106 の近傍に形成される空乏層は容量 C_4 を有し、 N^+ 拡散層 109 と P 型エピタキシャル薄膜 102 との PN 接合に形成される空乏層は容量 C_5 を有する。なお、ゲート酸化膜 107 近傍の不純物濃度は通常 $1 \times 10^{18} cm^{-3}$ 程度なので、ゲート酸化膜 106 の近傍に形成される空乏層幅は通常 $30 nm$ 程度となる。また、ウェル濃度は通常 $1 \times 10^{17} cm^{-3}$ 程度なので、PN 接合面に形成される空乏層幅は通常 $100 nm$ 程度となる。

【0036】また、この実施の形態では、N 型シリコン基板 101 と P 型エピタキシャル薄膜 102 とによって PN 接合が形成されているので、この PN 接合面の近傍に空乏層が形成される。図 1 では、この空乏層による寄生容量のうち、デジタル集積回路領域 103 側に形成されたものを寄生容量 C_8 とし、アナログ集積回路領域 104 側に形成されたものを寄生容量 C_9 とした。ここで、 $C_8 = C_9$ である。

【0037】上述したように、この実施の形態に係る AD 混載 LSI では、素子分離膜 105 を設けた。したがって、ノイズ導入源（ゲート電極 107）から導入されたノイズの大部分は、まず、P 型エピタキシャル薄膜 102 のデジタル集積回路領域 103 内を伝搬して N 型シリコン基板 101 内に達し、その後、P 型エピタキシャル薄膜 102 のアナログ集積回路領域 104 内を伝搬してノイズ検出源（ N^+ 拡散領域 109）に達する。すなわち、この実施の形態では、クロストークの原因となるノイズは、必ず、寄生容量 C_4 、 C_5 を通過することとなる。したがって、ノイズ伝搬経路における寄生容量の合成容量 C_0 は、下式（1）で与えられる。

【0038】

型エピタキシャル薄膜 102 との界面近傍に発生する空乏層の厚さを大きくすることができるので、寄生容量の合成容量 C_0 をさらに小さくすることができる。

【0041】但し、N 型シリコン基板 101 と P 型エピタキシャル薄膜 102 との界面近傍に発生する空乏層は、 N^+ 拡散領域 109 に達しないように、厚さを制御することが望ましい。空乏層が N^+ 拡散領域 109 に達してしまうと、ゲート電極 107 と N^+ 拡散領域 109 とが導通してしまい、AD 混載 LSI が動作不良を起こすおそれがあるためである。

【0042】加えて、N 型シリコン基板 101 の不純物濃度や P 型エピタキシャル薄膜 102 の膜厚など、他の条件を適宜変更することによっても、PN 接合部の寄生容量をさらに小さくすることが可能である。

【0043】なお、この実施の形態では、半導体基板を N 型とし且つ半導体薄膜を P 型としたが、基板、薄膜および拡散領域の導電型を逆にした AD 混載 LSI でも同様の効果を得ることができる。

【0044】

7

【発明の効果】以上詳細に説明したように、この発明によれば、クロストークを十分に抑えることができる半導体装置を安価に提供することが可能である。

【図面の簡単な説明】

【図 1】 この発明の実施の形態に係る半導体装置の構造を概念的に示す断面図である。

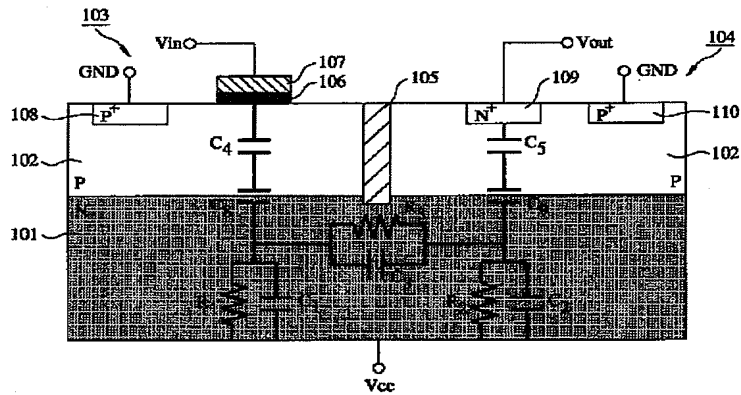
【図 2】 (A)、(B) とともに、従来の半導体装置の構造を概念的に示す断面図である。

【符号の説明】

8

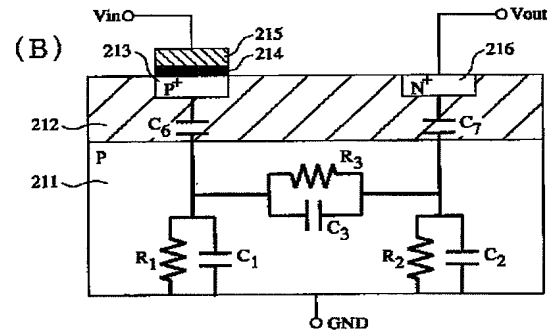
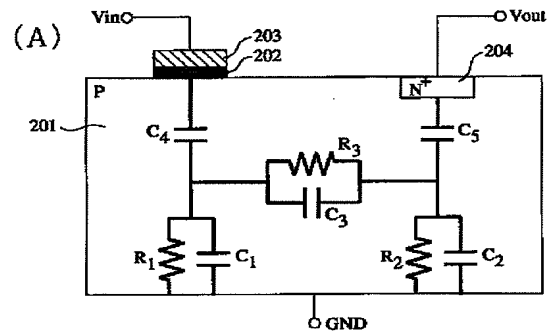
- 101 N型シリコン基板
- 102 P型エピタキシャル薄膜
- 103 デジタル集積回路領域
- 104 アナログ集積回路領域
- 105 素子分離膜
- 106 ゲート酸化膜
- 107 ゲート電極
- 108, 110 P⁺ 拡散領域
- 109 N⁺ 拡散領域

【図 1】



実施の形態の構造断面図

【図 2】



従来技術の構造断面図